

MV4 megfigyelővevő

Czigány Sándor, czisanko@freemail.hu

Aki megpróbálkozott már SDR (Software Defined Radio : szoftver rádió) építéssel tudja, hogy nem egyszerű dolog. Az alkatrészek összevadászása, internetes rendelés, csere-bere, nyák beszerzés, majd jön az SMD alkatrészek forrasztásának szemet, kezét próbára tevő „öröme”. Lehet-e egyszerűbben? Mit lehet kihozni a hagyományos alkatrészekből?

Készítsünk egy „egyszerű” szoftverrádiót, könnyen (könnyebben) beszerezhető alkatrészekből! Építsünk egy olyan négsávós Megfigyelő Vevőt, amelyik nem tartalmaz céláramköröket (leszámítva egy mikrokontrollert), aminek a kezelése egyszerű, és nem kell éjszakákat tölteni (műszerek híján) a behangolásával. Ne használjunk DDS IC-t, PLL IC-t, ne használjunk SMD IC-eket, ne használjunk még maratott nyákokat sem és ne költsünk a vevőre többet, mint egy DDS IC ára. Persze így

valószínűleg jóval több IC-ből fog állni, mint modern társai, és gyengébbek lesznek a műszaki paraméterei, de talán megéri.

Az építéskor persze néhány nehézséggel is szembe kell nézni:

- Fel kell tudni programozni a később leírásra kerülő 3,3 V-os dsPIC-et.
- Mivel az egységek „döglött bogár” szereléssel készülnek, (így nem kell nyákokat maratni), ezért az összeépítést gondosan kell végezni. Egy esetleges elkötés az IC-k tönkremenetelét okozhatja. Nagyítóra, csipeszre, türelemre feltétlenül szükség van.

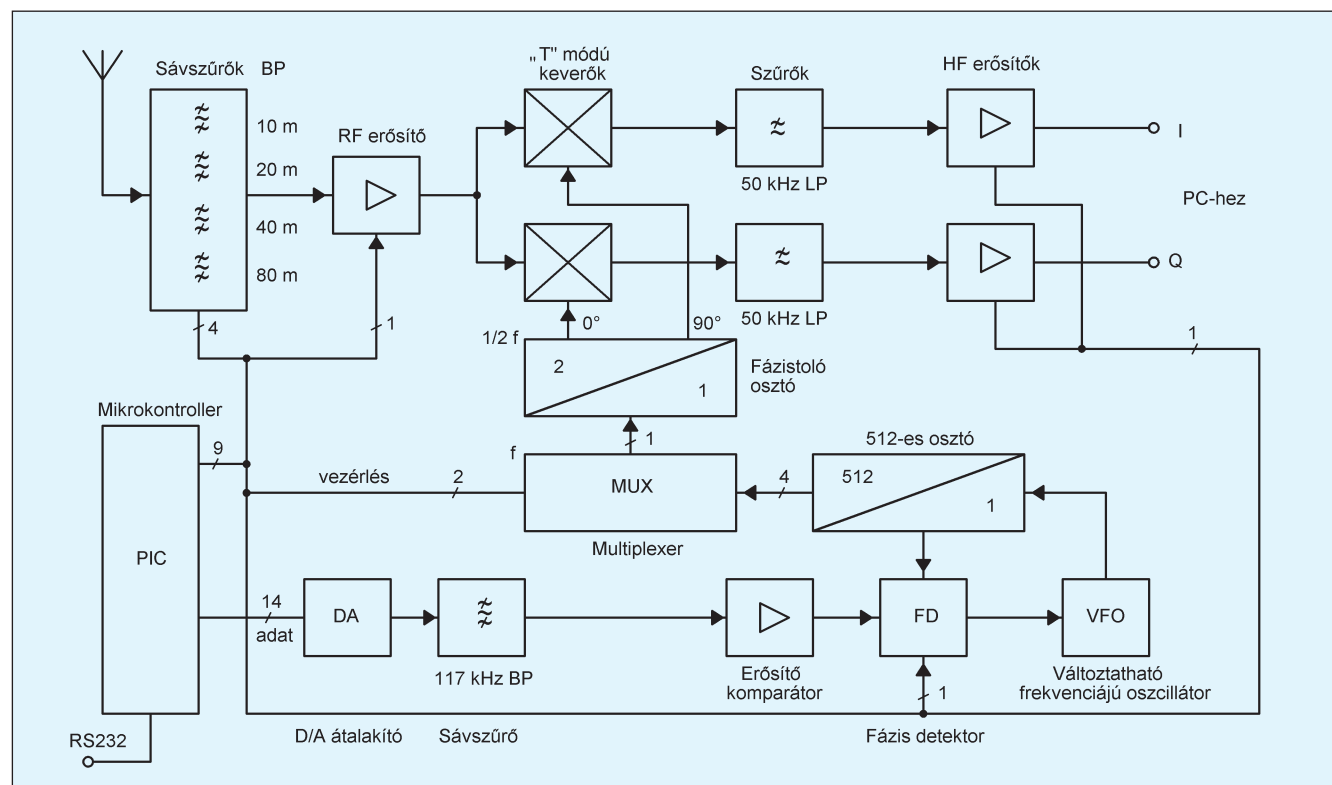
Bevezetés és általános felépítés

A szoftver rádióknál a hagyományos rádiók funkcióit kisebb vagy nagyobb mértékben a szoftver veszi át, ezért az analóg jeleket digi-

talizálják. Minél közelebb helyezkedik el a digitalizálás az antennához, annál több funkciót vehet át a szoftver (vagy annál több új funkciót valósíthat meg), annál nagyobb sávot figyelhetünk egyszerre, és persze annál gyorsabb A/D átalakítók szükségesek és annál hatalmasabb digitális adatfolyamot kell feldolgozni. Az MV4-nél a digitalizálás a hangfrekvenciás sávba lekevert frekvenciatartományon történik PC hangkártya segítségével. (Az [1] és [2] összefoglalja, rendszerezi a különböző SDR fajtákat.)

Az MV4 vevő közvetlen keverésű, QSD (Quadrature Sampling Detector: 90 fokkal eltolt mintavevő detektorok) rendszerű, bemeneti sávszűrőkkel és előerősítővel (igazából egy Softrock változatnak tekinthető). A tömbvázlatot az **1. ábra** mutatja.

A vevő VFO-jának azt a kvarcstabil frekvenciát kell előállítania



1. ábra

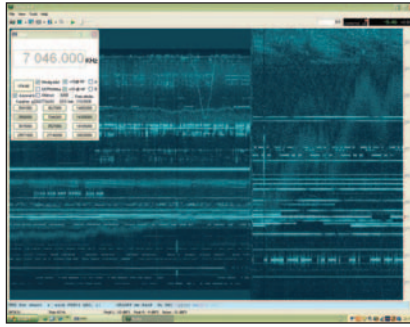
amit venni kívánunk. Pontosabban a VFO ± 24 kHz-es környezetében levő sáv bármely állomását venni tudjuk, illetve a spektrumképüket egyszerre láthatjuk, (**2. ábra**) feltéve, hogy a hangkártya mintavételi frekvenciája 48 kHz. Hogy pontosan melyik állomást és milyen módban, azt a PC-n futó szoftverrel választhatjuk ki. Két T-módú mintavevő keverő állítja elő a jobb, ill. a bal csatorna jelét, azonban a keverők egymáshoz képest 90 fokkal eltolt oszcillátorjellet kapnak (I/Q demodulátor). Majd hangfrekvenciás erősítés után, a vevő I és Q kimenete (jobb és bal csatorna) a PC sztereó bemenetére kerül. Így a számítógépbe nem csak a jelek amplitúdó-, hanem fázis információja is bejut, ami lehetővé teszi a szoftver számára a tükörfrekvenciás jelek bizonyos szintű elnyomását. A PC-n futó szoftver végzi a jelek demodulálását is. (Például a Rocky ingyenesen letölthető program CW, SSB, BPSK31 demodulálást tud végezni.) A választék az interneten elég nagy, az egyéb digi módokra is. [2] Mivel a VFO vezérlést külön program végzi, ezért bármely hangkártyára épülő szoftver használható. Ha módunk van rá, használjunk az alaplapi hangkártyánál jobb minőségű hangkártyát!

A VFO tulajdonképpen egy PC-vezérelt szoftver DDS-PLL (Direct Digital Synthesizer : közvetlen digitális szintézer, Phase Locked Loop: fázis zárt hurok) A szoftver DDS hajtja meg a PLL-t egy szűrőn keresztül. A PLL felsokszorozza a DDS jelét. Egy multiplexerrel vesszük le a sávnak megfelelő jelet. Ez a kimenő négyszögjel hajtja meg a keverőket egy speciális 2-es osztón keresztül.

A VFO vezérlését a PC-ről, a soros porton keresztül, egy kis ablakban megjelenő kezelői felület teszi lehetővé. Tehát nincs külön DDS IC, a szinusz generálást és a vezérlési feladatokat is a mikrokontroller végzi (persze nem egy időben, erről később lesz szó).

A vevő

Nézzük a **3. ábrát!** Az antenna jele egy bemeneti leválasztó transzfor-



2. ábra

mátoron keresztül jut a védő diódákra. Az antennabemenet hidegpontja is „levegőben van” egyenáramú szempontból, ez brummvédelemet eredményez a nagy DC-erősítés miatt. Ezt egy 30 MHz-es aluláteresztő szűrő követi az FM-adók kiszűrése céljából. Innen jut a jel az egyes sávszűrőket váltó kapcsolódiódákra. (Ez nem a legjobb a nagyjelű viselkedés szempontjából, de egyszerű.) A sávszűrők 5%-os kerámiakondenzátorokból és 10%-os axiális induktivitásokból épülnek fel. (A zárótartományban sajnos a szűrők csillapítása igen messze van az ideálistól. A 80 m-es szűrő ezért tartalmaz még egy sávzárt tagot a 20 m-es sávra és egyet a 17 m-es sávra.) A kapcsolódiódákat a controller vezérli.

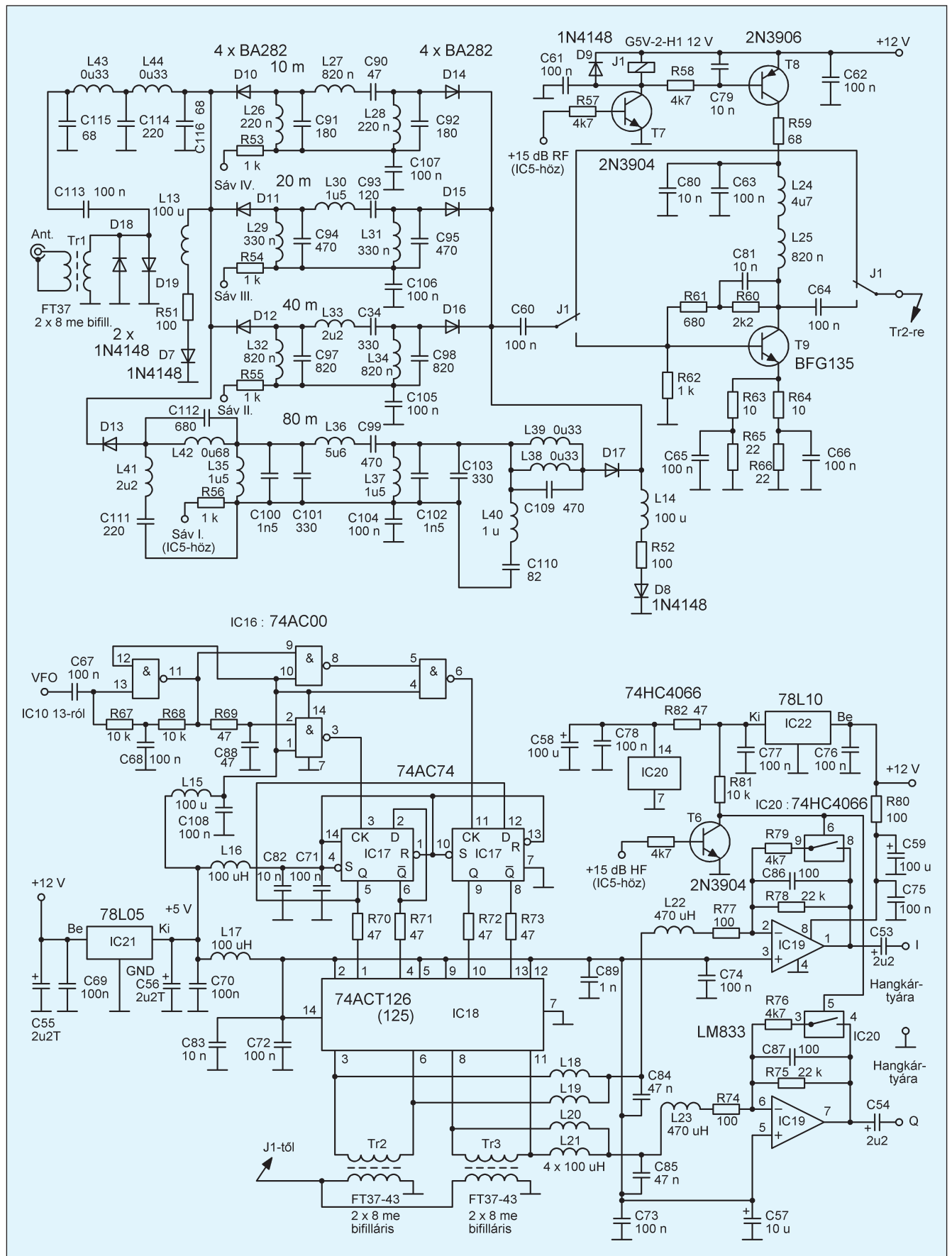
Innen a jel egy széles sávú RF-erősítőre jut. Az erősítést egy BFG135 végzi, kb. 15 dB erősítéssel. A stabilitás biztosítására áram- és feszültség visszacsatolást is tartalmaz. A kollektorkörben a 4,7 uH-s fojtóval sorban található 820 nH fojtó feladata, hogy a felső sávokban „feljavítsa” a 4,7 uH-t, amelynek elég alacsony a soros rezonanciafrekvenciája. A tranzisztor kb. 60 mA-es kollektoráramra van beállítva, az elfogadható nagy jelű viselkedés elérésére. Az előerősítő bekapcsolható a kezelő ablakból a „+15 dB RF” gombbal. Az erősítőt egy jelfogó iktatja be a jelútba és egy tranzisztor kapcsolja be a tápfeszültségét. (Csak a felső sávokon van jelentősége, ill. az „egy darab drót” antennáknál.)

Innen jut a jel a Tr2 és Tr3 transzformátorok bemeneti tekercseire. (Itt lehetne egy trafót is használni a kettő helyett, de annál jobb tükörfrekvenciás elnyomást kapunk, minél kevésbé van

csatolásban egymással a két szekunder tekercs.)

A VFO jele egy illesztő áramkörre jut (IC16). Ennek feladata hogy az egyik D flip-flopot a bejövő jel felfutó élénél, a másikat pedig a lefutó élénél billentse (IC17a és b flip-flopok). IC16 helyére 74AC86 kellene, de a 74AC00 könnyebben beszerezhető (lehet akár 74AC02 is akár csak az oszcillátornál, de a közös pontokat ekkor nullára kell kötni. Itt, de csak itt, esetleg HC-t is használhatunk.). Egy RC-tag kompenzálja a két kaput tartalmazó ág késleltetését. A két flip-flop kimenetén egymáshoz képest $\frac{1}{4}$ órajelnyit eltolt, ellenfázisú négyszögjel jelenik meg. Az oszcillátor jelének 90 fokos eltolását tehát ez a 2-es osztó végzi. Ez azonban csak abban az esetben „tol” 90 fokot, ha a VFO jelének 1:1 a kitöltési tényezője. A 10 m-es sávban sajnos ez nem teljesül pontosan.

A két D flip-flop vezérli a keverők kapcsolóit (az IC18 74ACT126, de lehet AC(T)125 is) ellenütemben. Hát igen, ez nem analóg kapcsoló, viszont valamivel gyorsabb, mint a HC4066, DIP-tokos és könnyebben beszerezhető, kezelhető mint pl. az FST, vagy az LVC sorozat tagjai. (A lezárt állapotra megfelelő de kinyitva nem szimmetrikus a táphoz képest a plusz és a mínusz irányban.) Ennek az IC-nek a tápját erősen szűrni, hidegíteni kell hangfrekvenciásan is, hiszen a plusz táphoz kapcsolnak a kapcsolói. A kapcsolók mindkét csatornán 180-180 fokot vezetnek. A Tr2-3 transzformátor szekunder tekercsei, és az azokra csatlakozó aluláteresztő szűrők a kapcsolókkal T-módú keverőt alkotnak [4]. Itt az elsődleges szűrőelem nem kondenzátor, hanem induktivitás. Az aluláteresztő szűrő törésponti frekvenciája kb. 50 kHz (**4. ábra**). Azért ilyen alacsony, hogy gyengébb alaplapi hangkártyákkal is kielégítően működjön 48 kHz mintavételi frekvencián. (Nagyobb mintavételi frekvenciához magasabb törésponti frekvenciájú szűrő kell!) Innen a jelek egy-egy „kis zajú” ($4,5 \text{ nV}/\sqrt{\text{Hz}}$ nem is



3. ábra

olyan kicsi) kb. 220/39 szerez át-kapcsolható erősítésű (47 dB/32 dB), erősítőre jutnak, (a PC-s felület kezelő ablakából kapcsolható a nagyobb értékre a „+15 dB HF” gombbal) majd pedig a hangkártya bemenetére.

A VFO DDS részének felépítése

Mivel közvetlen keverésű a vevő, a frekvenciaterv a következő:

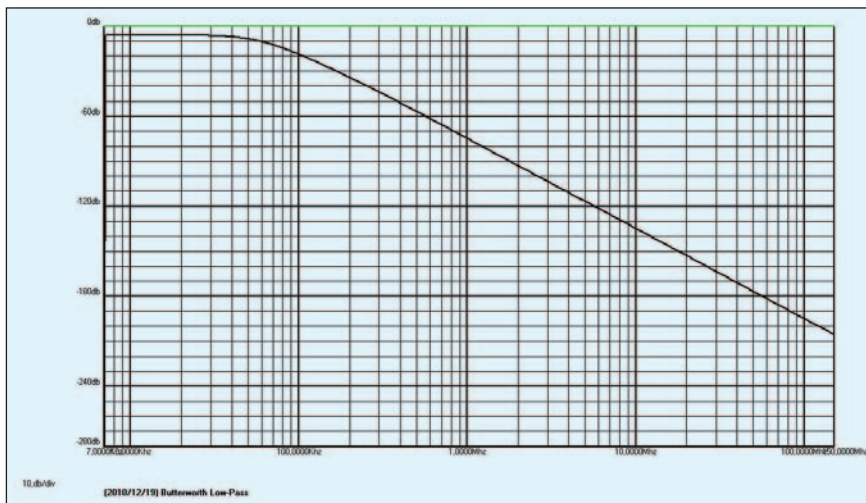
A szoftver DDS frekvenciája 105-121 kHz-ig változtatható (a DDS szűrő áteresztő sávjában), kimenőjele szinuszcél. Minden sávnál ebben a tartományban üzemel. A PLL 512-es sokszorozást végez (ez sajnos elég nagy érték), ezért a VFO kimenet a legfelső sávban 54-62 MHz. A PLL 9 bites számlálójáról (ez adja az 512-es értéket) vesszük le a bináris frekvenciaraszteret az egyes sávokhoz, az alábbiaknak megfelelően.

A tényleges VFO kimeneti frekvencia átfogások tehát:

10 m-en: 54...62 MHz,
(direkt oszcillátor jel)
20 m-en: 27...31 MHz,
(2-vel leosztott jel)
40 m-en: 13,5...15,5 MHz,
(4-gyel leosztott jel)
80 m-en: 6,75...7,75 MHz,
(8-cal leosztott jel)

2-vel való osztás után kapjuk meg a tényleges sávoknak megfelelő frekvenciákat.

A DDS egy szoftver DDS (5., 6. és 7. ábra) [3]. A program végtelen ciklusban pörög egy dsPIC33FJ128GP802 mikrokontrolleren. (gyors, olcsó, DIP tokos, és van olyan portja, amelyben legalább 14 bit folytatólagosan ki van vezetve.) Ez a DSP processzor rendelkezik 2 db 40 bites akkumulátorral, melyet itt most nem audio DSP célra, hanem fázis akkumulátorként használunk. A szinuszcél generálása úgy történik, hogy minden dds ciklusban hozzáadogatunk az akkumulátorhoz (a 40 bitből csak 31 van ténylegesen használva) egy bizonyos számot, a fázis növekményt. (A fázis növekményt a PC-n futó program



4. ábra

számítja ki a beállítandó frekvencia alapján.) Majd az akkumulált fázisértéket címként használva egy nagyméretű szinuszcél-táblából kiolvassuk a hozzá tartozó szinuszcél amplitúdóértéket és ezt kivisszük a D/A átalakítóra. A mikrokontroller sebessége 40 MIPS. (40 millió utasítás másodpercenként). Mivel maga a dds ciklus 7 utasításból áll, ezért a D/A konverter frissítési sebessége $40/7 = 5,714$ MHz. (5 utasítás végzi valójában, de van két utasítás, amelyek 2 gépi ciklus alatt hajtódik végre.) Ez még elfogadható érték.

A fázisnövekmény (N) az alábbi képlettel számolható:

$$N = (F_{ki} \cdot 2^{31}) / (N_{pll} \cdot F_{clk})$$

Ahol

N: fázis növekmény

N_{pll} : a PLL frekvencia szorzószáma (itt most 512)

F_{clk} : D/A frissítési sebesség (itt most 40/7 MHz)

2^{31} : az akkumulátor teljes bitszéllességén ábrázolható legnagyobb szám

F_{ki} : kimenő frekvencia

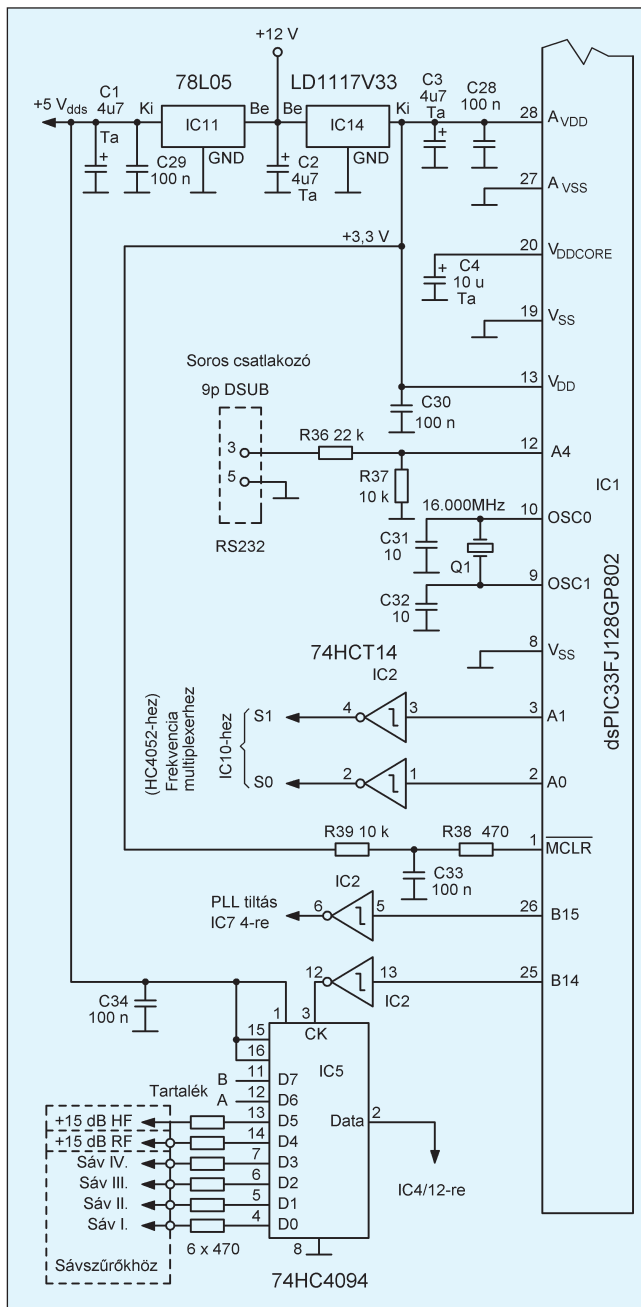
A VFO legkisebb beállítható frekvencialépése a PC-n 1 Hz. Az elméleti felbontás kb. 1,36 Hz 62 MHz-en, az alacsonyabb frekvenciákon ennél jobb. (Ez az MV4-hez szükségtelenül nagy felbontás, de így adódik ki.)

A DDS programszakasz assembly kódja az alábbi:

```
mov #PORTB, w1 ; w1-ben
PORTB címe
mov #0x0024, w2 ; ACCAH címe
mov #0x7FFE, w9 ; cím maszk al-
só 15 bit, legalul 0
mov #psvpag (szita), w4
mov w4, PSVPAG ; lap cím 0
mov #psvoffset (szita), w4 ; 16K
(32K) szó szinuszcél címe
mov w4, w0
bclr [w1], #15 ; PLL-t elengedni
ddscikl ; N=(Fki x 2^31)/Fclk
Fclk= 40/7=5.714 MHz,
mov [w0], [w1] ; 1+1, szinuszcél
tábla adata menjen PORTB-re
add a ; 1, fázis hozzáadás
and w9, [w2], w3 ; 1, címrész le-
mentés, a 31 bit felső szavának
felső 14 + 1 bitje, 16K tábla
add w3, w4, w0 ; 1, szinuszcél
tábla kezdő cím hozzáadás
goto ddscikl ; 1+1, pörög
```

Annál kevesebb nemkívánatos frekvencia-összetevőt (spur) kapunk elvileg, minél nagyobb a szinuszcél tábla (azaz minél nagyobb az akkumulátor hasznos bitszéllessége), ami itt 16 K szó azaz 14 bit, minél nagyobb a D/A felbontása (bitszáma), ami itt szintén 14 bit (ez nem más mint a szinuszcél tábla adatszéllessége), és minél alacsonyabbra választjuk a D/A-n előálló kimeneti frekvenciát, a D/A frissítési sebességéhez képest.

Ezért a DDS kimeneti frekvenciáját csak kb. 105 kHz-től 121 kHz-ig fogjuk változtatni. Ez kb. 50-ed része az F_{clk} -nak, ennek ára persze a nagy PLL sokszorozási tényező. A 100 kHz körüli frek-



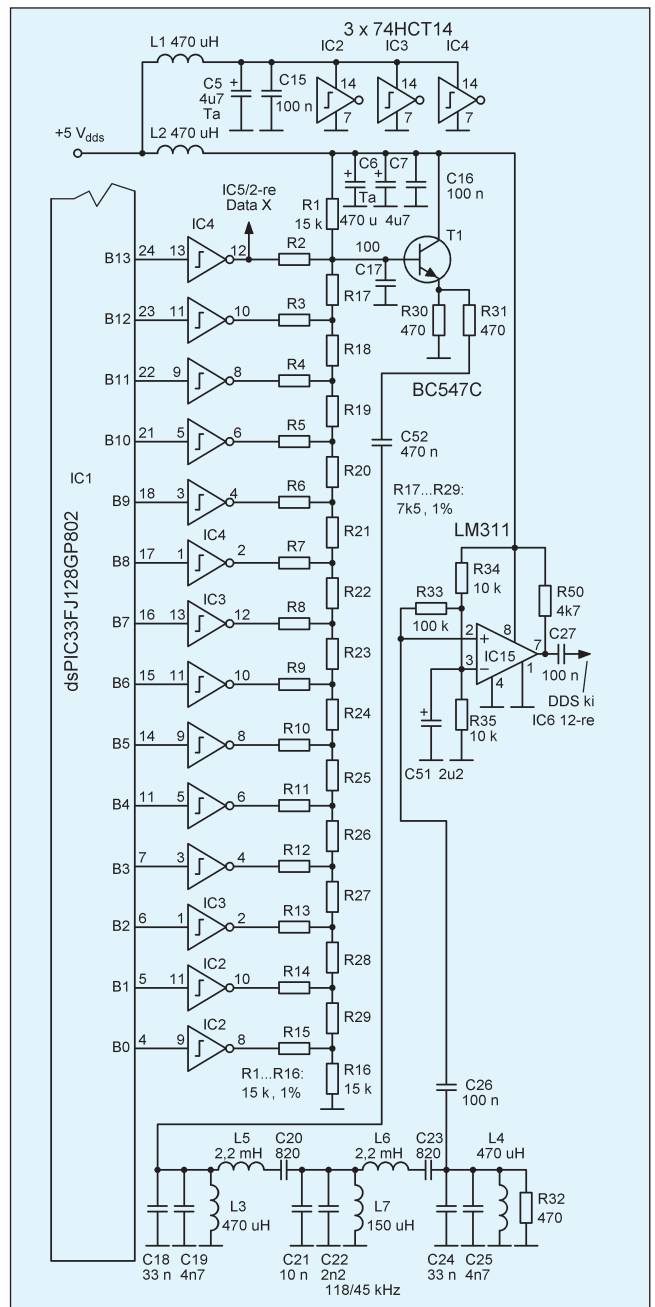
5. ábra

vencián a „házi” D/A konverter még elfogadhatóan működik.

A 14 bites létra D/A 1%-os elenállásokból lett elkészítve.[5] Ide célzerű SMD alkatrészeket alkalmazni a kis induktivitás és a kis szórt kapacitás miatt. (A 1206-os tokozás még aránylag könnyen kezelhető, **8. ábra**.) A HCT14 inverterek (csak HCT jó!) feladata a szintemelés 3,3 V-ról 5 V-ra (nem teljesen felel meg ugyan a névleges bemeneti szinteknek, de itt, a kis terhelésű kimeneteken megfelelő) és a leválasztás. Az 1%-os el-

lenálláspontosság nem elég egy 14 bites D/A-hoz, de sajnos csak ilyen szereshető be olcsón. (Sőt, a DDS irodalom szerint, 14 bites címhez 12 bites D/A elegendő lenne. A spektrumok összehasonlításával lehetne dönteni, azonban műszerek (és idő) híján maradt a 14 bites D/A. A költség-többlet minimális.)

A szinusztábla azért csak 16 Kszó, mert ennyit lehet közvetlenül megcímezni ennél a mikrokontrollernél. (Elvileg ennek két-szerese is beférne a controller-



6. ábra

be). A szinusztábla teljes szinuszt tartalmaz. Fél vagy negyed szinusz esetén plusz utasításokat kellene végrehajtani, ami csökkentené az Fcclk-t.

A D/A kimenetén egy emitterkövető (6. ábra), majd egy heted fokú sávszűrő van 118 kHz központi frekvenciával és kb. 45 kHz sávzélességgel (**9. ábra**). (Azért ilyen, hogy a szabvány értéksorból megvalósítható legyen és ne legyen nagyon érzékeny az alkatrész-szórásokra. Feladata a nemkívánt frekvenciakomponensek ki-